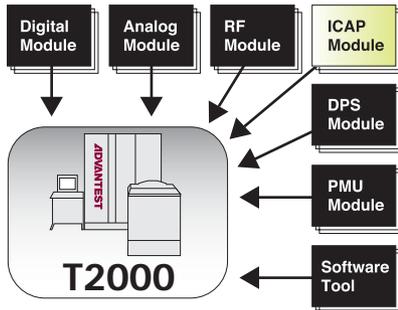


Image Capture Module

1.2Gbps CMOS Image Capture Module

高速シリアル/パラレル信号に対応したイメージ・キャプチャ機能搭載で、最新のCMOSイメージ・センサ・デバイスを低コストで試験します。



1.2Gbps CMOSイメージ・キャプチャ(以降、1.2GICAP)モジュールは、CMOSイメージ・センサ・デバイスを試験するための、T2000テスト・システム用の画像データ・キャプチャ・モジュールです。

T2000テスト・システムに、デバイス電源モジュール、デジタル・モジュール、IPエンジン(IPE)と共に、1.2GICAPモジュールを組み合わせることにより、CMOSイメージ・センサ・デバイス試験を実現します。

高速差動シリアル/パラレル信号に対応したイメージ・キャプチャ機能

- Sub-LVDS規格などの出力形式に対応した入力ポート装備。
- 差動振幅感度50mV以上、データ・レート1.2Gbpsまでの高速差動シリアル信号が入力可能。
- パラレル画像入力ポートは、データ16bit、同期クロック1bit、同期信号5bitで構成。同期信号で画像データをキャプチャ・メモリに格納。

多機能なキャプチャ・メモリ

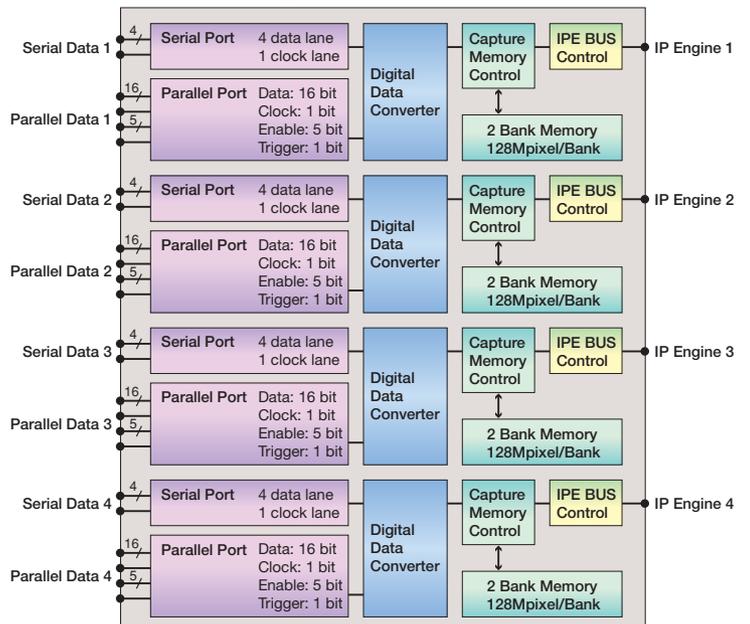
- 最大256回の画像フレーム加算および割算出力機能装備。
微小レベルの欠陥検出を実現。
- 最大255フレーム数の画像を連続してメモリへ格納。
連続画像の評価・解析が可能。

高スループット、低コストな試験環境を提供

- 2バンク構成のキャプチャ・メモリを装備。
画像データ入力とIPエンジンへのデータ転送を同時処理。
- DC試験およびコンタクト試験用パラメトリック測定ユニット(PMU)を搭載し、コスト削減を実現。



1.2GICAP Module Block Diagram



T2000 1.2Gbps CMOS Image Capture (1.2GICAP) Module Specifications

Serial Input	Input Lane Number (Data)	4 port x 4 channel
	Input Lane Number (Clock)	1 port x 4 channel
	Input Amplitude Range	0.05 to 2.00 Vp-p
	Data Rate	10M to 1.2Gbps
	Synchronous Data Length	64/48/40/32 bit
	Synchronous Data	SOF, EOF, SOL, EOL
	Input Clock Type	DDR/SDR/DATA STROBE
	Bit Format	RAW 8 to 16 bit
	DM Input	All pin (Interrupt via PB)
Parallel Input	Input Signal (Data, Clock, Trigger)	4 channel
		Data: 16 bit/channel
		Clock: 1 bit/channel
		Trigger: 1 bit/channel
	Input Signal (Enable)	Enable: 5 bit/channel
	Input Voltage Range	0.0 to 2.5V
	Capture Data Rate	SDR
DDR		1M to 250M pixel per second
	DM Input	All pin (Interrupt via PB)
Capture Memory	Memory Capacity	128M pixel/bank
	Memory Bank	2 bank/channel

- 本製品を正しくご利用いただくため、お使いになる前に必ず取扱説明書をお読み下さい。
- 本カタログ記載の製品仕様および外観等は、予告なしに変更することがありますのでご了承下さい。

ADVANTEST

<http://www.advantest.co.jp>

株式会社アドバンテスト

〒100-0005 東京都千代田区丸の内1丁目6番2号 新丸の内センタービルディング TEL:03-3214-7500 (代)
 第1販売部(本社) TEL:03-3214-7501 (大分オフィス) TEL:097-555-9570 第2販売部(西事務所) TEL:06-6368-9280 (名古屋オフィス) TEL:052-731-5990 第6販売部 TEL:03-3214-7504