

# RF Integrationstrend fordert Fokus auf die gesamte Testzelle

## SOC-Tests auf dem Prüfstand

Toni Dirscherl, Advantest Europe GmbH & Anthony Lum, Advantest America, Inc.

Früher bestanden drahtlose Kommunikationsgeräte aus einer Vielzahl von Einzelkomponenten und Unterbaugruppen. Gängige Design-Praxis war es, die Systeme aus einzelnen Funktionsblöcken zusammenzusetzen. Die in den Geräten vorhandenen Verstärker und Mischer enthielten Transistoren sowie diskrete Elemente, wie Anpassungsschaltungen, Filter und Schwingkreise. Dadurch waren die ersten drahtlosen Lösungen nicht nur groß sondern auch relativ unhandlich, schwer und nur eingeschränkt brauchbar.

Die Weiterentwicklung ist relativ rasch vorangeschritten. Etwa gegen Mitte der Neunzigerjahre begann die Integration von Funktionsblöcken, was schließlich zu RF-SoCs (System on Chip) führte. Mit zunehmender Integration und Komplexität der RF-SoCs nahm die Verbreitung drahtloser Systeme, wie Mobiltelefone und WiFi, in den privaten Haushalten und in den Unternehmen deutlich zu. Durch die höhere Nachfrage im privaten Bereich stieg allerdings auch der Kostendruck. Der Markt forderte immer kostengünstigere, kleinere und komplexere Produkte. Damit stiegen auch die Herausforderungen im Hinblick auf geeignete und kostengünstige Testlösungen, die das Thema dieses Artikels sind.

### Produkt-Evolution erhöht Kostendruck

Durch die größere Funktionalität der heutigen RF-Bauteile haben sich die Testzeiten inzwischen deutlich verlängert. Die Testkosten und Testzeiten lassen sich somit nur durch den Einsatz von Multi-DUT-Testlösungen, also durch einen parallelen Test mehrerer Bauteile, reduzieren. Bei Multi-DUT-Testlösungen wird versucht, die Investitionskosten möglichst gering zu halten und gleichzeitig die Testkosten durch einen höheren Durchsatz zu minimieren. Allerdings ist ein Multi-DUT-Test mit einer Reihe von Herausforderungen verbunden, und zwar im Hinblick auf:

- RF-Instrumentendichte
- Loadboard-Layout
- RF-Testmethodik
- Processing und Packaging
- Bauteilgröße und Handler/Docking-Mechanik.

Diese Herausforderungen werden nun genauer betrachtet.

### RF-Instrumentendichte

Die RF-Testlösungen haben sich in den letzten Jahren ebenso weiterentwickelt wie die Mobil-

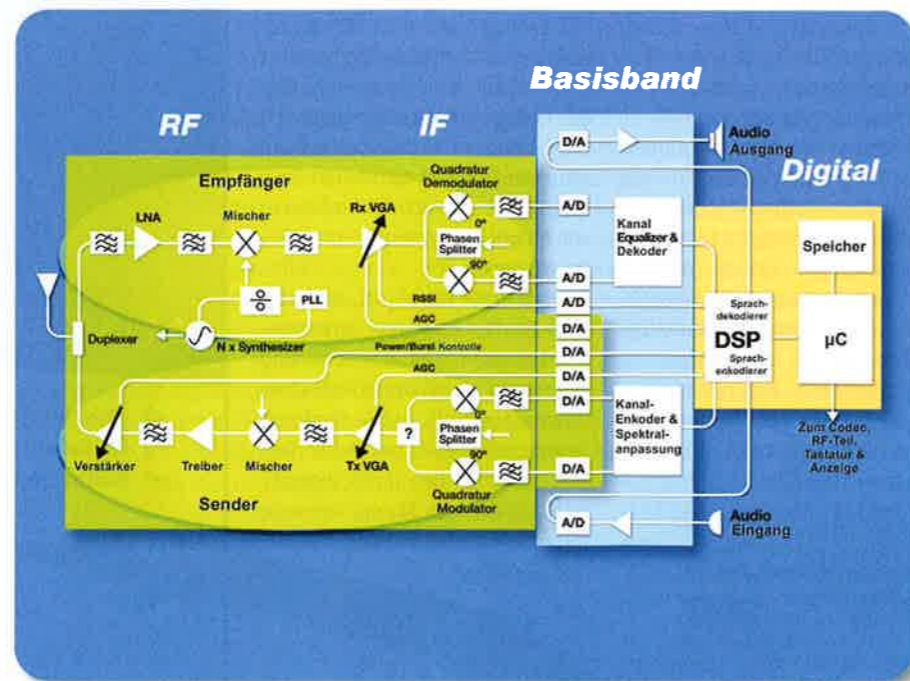
telefone. In der Vergangenheit waren RF-Tester üblicherweise „Rack und Stack“-Systeme, die entsprechend den jeweiligen Testanforderungen aus verschiedenen Komponenten aufgebaut waren. Auch die Testerindustrie hat von der höheren Integration profitiert, so dass heute die Ressourcen im Testhead konsolidiert werden können und kein großes Rack mehr benötigt wird.

Früher verfügten RF-Systeme nur über 12 Ports, die aus mehreren Einzelgeräten bestanden. Inzwischen wurde die Instrumentendichte deutlich erhöht und es lassen sich mehrere Instrumente in einem einzigen Modul integrieren. In einer Multi-DUT-Konfiguration verfügt damit nun jeder Bauteil-Pin über dedizierte RF-Ressourcen. Die RF-Testsysteme von Advantest enthalten beispielsweise mindestens:

- 32 RF-Ports
- 4 Vektor-Signalgeneratoren
- 4 Empfänger
- 4 CW-Stimuli.

Ein einziges Testsystem kann in einer maximalen Konfiguration bis zu 128 RF Ports unterstützen. In der Vergangenheit wäre hierfür ein ganzer Raum voller Racks erforderlich gewesen. Heute sind es nur einige Steckplätze im Testkopf.

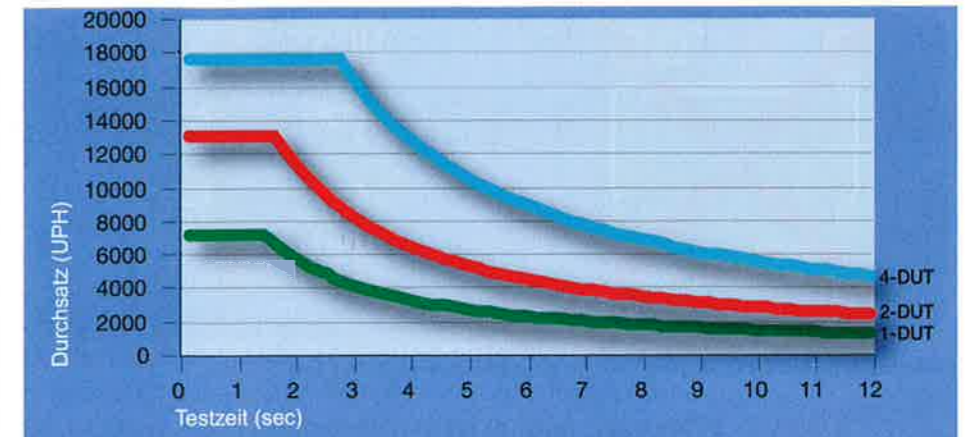
Natürlich bietet eine hohe RF-Instrumentendichte im Hinblick auf die verfügbaren Testmöglichkeiten gewisse Vorteile. Eine hohe Instrumentendichte reicht allerdings allein nicht aus, um alle Herausforderungen eines Multi-DUT-Tests zu erfüllen. Die Systemanbieter müssen ihre Lösungen auch über reine ATE-Ressourcen hinaus erweitern.



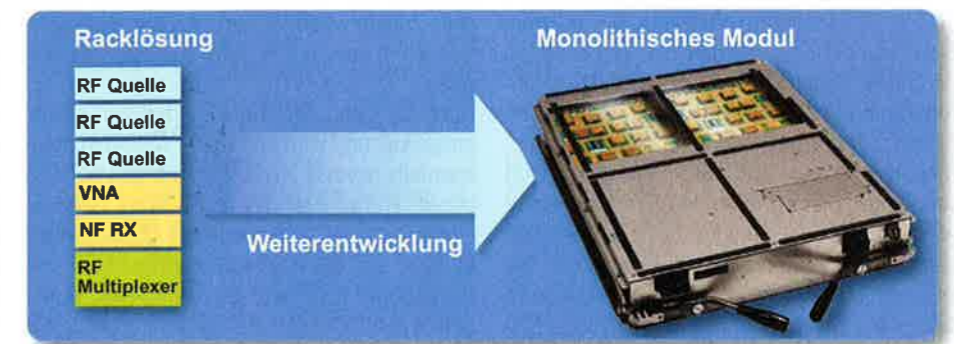
Die zunehmende Integration und Komplexität der RF-SoCs erfordert kostengünstige Testlösungen

### Loadboard-Layouts

Eine wichtige Herausforderung für einen effektiven Multi-DUT-Test ist ein optimales Layout des Loadboards. Bislang waren die Testressourcen in bestimmten Bereichen angeordnet (RF Ressourcen in einer Ecke, digitale Ressourcen in der anderen, Mixed-Signal Ressourcen in einer dritten, etc.). Bei einem Performance Board für einen Multi-DUT-Test sind dagegen die benötigten Ressourcen immer in der Nähe der jeweiligen DUTs angeordnet. Dies vereinfacht nicht nur das Layout, sondern verbessert auch die Testleistung und ermöglicht kürzere Testzeiten sowie eine höhere Fertigungsausbeute. Bei einer Vierfach-Lösung mit vier Bausteinen lassen sich beispielsweise durch die Anordnung der Ressourcen direkt neben den jeweiligen DUTs unerwünschte Signaleinkopplungen minimieren und eine bessere Isolation erreichen. Wie bereits erwähnt, müssen hierzu jeweils dedizierte Ressourcen für jedes DUT verfügbar sein. Ansonsten müsste das Loadboard zusätzliche Schalter oder Multiplexer enthalten, was aber die Komplexität unnötig erhöht, die Testzeit verlängert und den Dynamikbereich sowie die Fertigungsausbeute reduziert. Überdies werden die Testprogrammierstellung und das Debugging viel komplexer.



Durchsatzsteigerung in Abhängigkeit von Testzeit und von Multi-DUT-Test



Die RF-Testlösungen haben sich stark weiterentwickelt

### RF-Testmethodik

Auch der RF-Test hat sich in der Zwischenzeit verändert, was zu neuen Herausforderungen geführt hat. Die Zeit konventioneller Parametermessungen und von der dadurch ermittelten Charakteristik der Schaltung auf die Systemleistung zu schließen, geht zu Ende. Aspekte wie Verstärkung, Rauschfaktor, TOI (Third-Order In-

tercept Point) und Blackbox-Streuparameter sind zwar nach wie vor wichtig, stehen aber nicht mehr im Mittelpunkt. Heute kommt es darauf an, dass ein System sich entsprechend seiner Spezifikation verhält und zwar im Hinblick auf seine Funktion. Bislang wurden bei RF-Bauteilen Parameter wie Verstärkung und Rauschen gemessen, heutzutage wird geprüft,

ob das Mobiltelefon wie geplant funktioniert. Bei Bauteilen, die in Mobiltelefonen eingebaut werden, will man beispielsweise wissen, ob Gespräche nicht unterbrochen werden. Somit werden nun eher funktionelle Aspekte der Schaltung, wie Bitfehlerrate (BER) und andere Funktionsparameter, getestet. Der Test wird also mehr auf das Endprodukt ausgerichtet.

## New G5 XL Wire & Ribbon Bonder

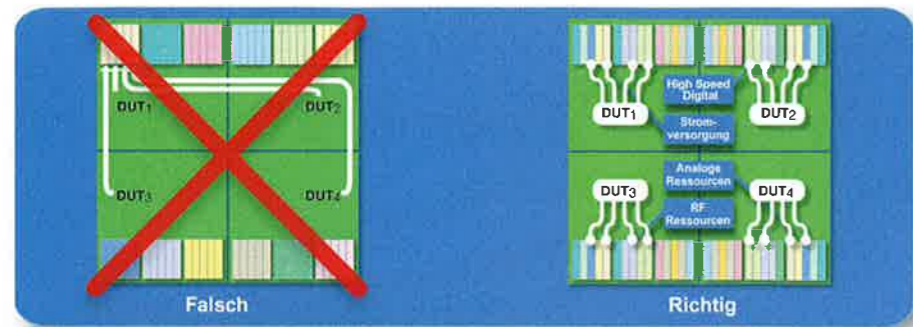
- Largest bonding area in the entire industry
- X/Y: 1100mm x 700mm
- Guaranteed high performance

**productronica** 2011  
innovation all along the line.

Visit us at:  
Hail B2/Stand 281

F & K Delvotec Bondtechnik GmbH  
Daimlerstraße 5-7, D-85521 Ottobrunn  
Phone: +49 (89) 6 29 95-0, Fax: +49 (89) 6 29 95-100  
info@de.fkdelvotec.com, www.fkdelvotec.com

STAYING AHEAD IN INNOVATIVE BONDING TECHNOLOGY



Ein optimales Layout des Loadboards sorgt für einen effektiven Multi-DUT-Test

Künftig wird der Schwerpunkt noch stärker auf Funktionstests gesetzt, so dass sich die Bauteilhersteller mehr auf DFT (Design for Test) und BIST (Built-in-Self-Test) konzentrieren müssen. Noch komplizierter werden die Testherausforderungen beispielsweise beim MIMO-Verfahren (Multiple In, Multiple Out). Bei diesem Verfahren werden über mehrere Antennen empfangene und ausgesendete Signale gleichzeitig verarbeitet. Dies erfordert neu zu entwickelnde echte Duplex-Funk-Funktionstests, wobei auch hier die Testlösung die eigentliche Funktion des Endprodukts überprüfen muss. Die Funktionstests werden daher künftig auch hybride Systemtests beinhalten, wie:

- ACPR (Adjacent Channel Power Ratio) oder ACLR (Adjacent Channel Leakage Ratio) -- definiert das Verhältnis der Sendeleistung zur Leistung im benachbarten Funkkanal
- Bitfehlerrate (BER) und
- EVM-Tests (Error Vector Magnitude).

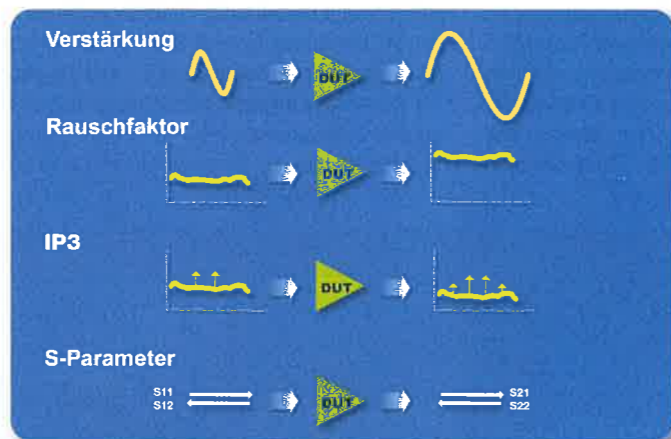
Künftige ATE-Lösungen müssen sich auf die stetig ändernden Testparadigmen anpassen lassen, einschließlich DFT und BIST und müssen natürlich einen umfassenden Funktionstest auf Systemebene unterstützen.

### Packaging

Was das Packaging betrifft, so ist der große Vorteil des Moore'schen Gesetzes, dass jetzt viel mehr Funktionalität in einem einzelnen Chip integriert werden kann. Allerdings hat die höhere Integrationsdichte auch neue Herausforderungen gebracht. Zum Beispiel können die Schlüsselkomponenten des Systems kaum voneinander isoliert werden. Wenn also ein Sender mit voller Leistung arbeitet, muss gewährleistet bleiben, dass der Empfänger „nebenan“ trotzdem noch eine hohe Empfindlichkeit erreicht. Hierfür wurden Lösungen wie SIP (System in Package) entwickelt. Derartige Lösungen integrieren mehrere Chips in einem einzigen Gehäuse, wobei verschiedene Verbindungstechnologien zum Einsatz kommen. Dies ist aber nicht die einzige Testherausforderung. So wird auch der Abstand zwischen den Bauteil-Pins (Pitch) von heute 0,4 mm künftig noch weiter abnehmen. Bei einem derart kleinen Kontaktabstand steigt

die Gefahr von Kurzschlüssen. Außerdem enthalten die Gehäuse immer weniger Metall, wie beispielsweise Blei, und werden dadurch weicher. Zudem verschlechtert sich das elektrische Verhalten, was durch Tests verifiziert werden muss.

Auch die Gehäusetechnologie hat sich weiterentwickelt und wird sich weiter verändern, was ebenfalls gewisse Herausforderungen mit sich bringt. Früher war das große SOIC Gehäuse (Small Outline IC) sehr verbreitet. Dabei handelt es sich um ein SMT-Kunststoffgehäuse mit rechteckiger Form und Gull-Wing-Pins. Heute gibt es unterschiedlichste Gehäusetyper, wobei am Markt neben SOIC auch andere Formfaktoren wie QFP (Quad Flat Pack), LCC (Leadless Chip Carrier) und QFN (Quad Flat Pack no Lead) häufig zum Einsatz kommen. Einige dieser Ge-



Bislang wurden bei RF-Bauteilen Verstärkung und Rauschen gemessen, heute wird geprüft, ob das Mobiltelefon ordnungsgemäß funktioniert

häusetyper stellen eine besondere Herausforderung für den Test dar. Ein großes Problem ist der eingeschränkte Platz auf dem Performance Board und die zunehmende Forderung nach immer höherer Testparallelität. LCC und QFN bieten beispielsweise mehr Möglichkeiten im Hinblick auf das Elektronik-Design, eignen sich aber nicht so gut für Multi-DUT-Anwendungen. Pick-and-Place-Handler haben in Anwendungen mit LCC- und QFN-Bauteilen und bei gleichzeitig großen Stückzahlen Schwierigkeiten die Durchsatz-Anforderungen zu erfüllen. Je kleiner das Gehäuse ist, desto weniger Platz benötigt es auf dem Loadboard und desto

schwieriger wird das Signal-Routing. Da die Signalleitungen sehr eng beieinander liegen, kommt es zu Problemen bei der elektrischen Isolation.

Pick-and-Place-Handler haben ebenfalls Schwierigkeiten, besonders hinsichtlich der x-y-Positionierung und der Pin 1 Orientierung. Eine grundlegende Einschränkung ist der offene Bereich auf der Führungsplatte. Heute gibt es 1x4 und 2x2 Vierfach-DUT-Konfigurationen, in der nahen Zukunft werden aber 8x2 und 16x1 Konfigurationen kommen. Es werden daher künftig Handler benötigt, die mehr Teile aufnehmen können. Die Lösung dieses Loadboard-Problems ist eine wichtige Herausforderung.

### Realitätsnaher Test von Multi-DUT-RF-Lösungen

In der Vergangenheit wurden die Gehäuse- und Testherausforderungen unabhängig voneinander betrachtet. Die einzelnen Lösungen haben sich jeweils nur auf eines der Probleme konzentriert, ohne die anderen Aspekte zu berücksichtigen. Eine derartige Kurzsichtigkeit hinsichtlich der Testherausforderungen ist nicht mehr akzeptabel. Die hier beschriebenen Einschränkungen müssen künftig gelöst werden. Hierzu gehören die RF-Instrumentendichte, das Loadboard-Layout, die Processing- und Packaging-Probleme sowie die Testmethodik, und die Schwierigkeiten beim Handling der kleiner werdenden Gehäuse.

Nach Ansicht von Advantest muss hierzu der Fokus der Testzelle erweitert werden. Die Testzelle muss als vollständiges System betrachtet werden, einschließlich der Aspekte des Bauteil-Designs. Erst dann wird die komplexe Beziehung der einzelnen Elemente innerhalb des Systems und der Testlösung deutlich. Durch Berücksichtigung all dieser Aspekte kann die Elektronikindustrie auch die unvermeidlichen und notwendigen Anforderungen in Hinblick auf Qualität und Produktivität erfüllen.

www.advantest.de

## Lotpasteninspektion für signifikante Erhöhung des Fertigungs-Yield Mit SPI zum Premium-TV

Ilka Döring, Büro ID für Hilpert electronics, Unterschleißheim

Der High-End-TV-Gerätehersteller Loewe Opta hat sich im Rahmen eines Benchmarks für die Installation von vier Parmi SPI-Systemen in seiner SMD-Fertigung entschieden. Der Nutzen dieser Neuanschaffung zeigte sich nach kurzer Zeit durch geringere Reparaturquoten an bestimmten Baugruppen und einem insgesamt gestiegenen Produktions-Yield.

Anspruchsvolle Verbraucher in Europa und ausgewählte Metropolen schätzen Loewe als die führende Premium-Marke im Bereich Home Entertainment Systeme. Das Unternehmen begeistert gemäß eigener Aussage seine Kunden durch Produkte mit zeitloser Ästhetik, mit sinnvoller Technik und einfacher Bedienung.

### Qualität von Anfang an

Schon mit der weltweit ersten öffentlichen Fernsehübertragung 1931 realisierte man Qualität, die überzeugte. Seit 1948 produziert das Unternehmen am Standort Kronach in Oberfranken TV-Geräte „Made in Germany“. Im Lauf der Jahre erhielt man für seine Produktentwicklungen zahlreiche nationale und internationale Auszeichnungen. Die Markenwerte des Herstellers wurden über einen langen Zeitraum hinweg geprägt. Den Anfang machten die Brüder Dr. Siegmund und David Ludwig Loewe 1923 in Berlin. Seit damals wurde ein Grundsatz immer befolgt: Mit sinnvollen Innovationen neue Maßstäbe setzen.

An dieser Firmenphilosophie orientieren sich im übertragenen Sinn auch die Produktionsverantwortlichen, und so wurden nach einem umfassenden Evaluierungsprogramm jüngst vier Parmi SPI-Systeme in der hauseigenen SMD-Fertigung in Betrieb genommen. Für Loewe Opta ist die präventive Absicherung der Qualität von größter Bedeutung, da die Elektronik der Premium-TV-Geräte zuverlässig funktionieren muss. Sämtliche Elektronikbaugruppen werden selbst entwickelt und produziert.

Waren bis vor wenigen Jahren LEDs zu Projektionszwecken hauptsächlich bei Großflächen-Displays im öffentlichen Raum anzutreffen, hat die LED-Technik mittlerweile auch bei den privaten Anwendungen im häuslichen Umfeld erfolgreich Einzug gehalten. Dies führte im Unternehmen auch zu Veränderungen im SMD-Prozess. Die Leiterplattenlayouts wurden komplett überarbeitet und an die neue Technologie angepasst. Eine extrem hohe Bauteildichte mit 3.000 bis 4.000 SMD-Bauteilen pro Leiterplatte und die damit

einhergehende Miniaturisierung mit 0402 und 0,4 Finepitch-QFN sowie einige weitere Überlegungen führten dazu, dass ein Prüfverfahren zur Beurteilung des Lotpastendrucks auf den Baureboards evaluiert werden sollte. Zu den im Lastenheft definierten Kriterien gehörten unter anderem: Eine größtmögliche Messhöhe, die 3D-Darstellung aller Bereiche auf der Baugruppe, echte Höhenmesswerte an jeder Messstelle und eine kurze Taktzeit. Nachdem vier Evaluierungssysteme jeweils einem

inspektion Volumen-, Höhen- und Flächen-daten ermittelt. Daneben ist die Laser-Mess-technik unempfindlich gegenüber Farb- und Kontraständerungen sowie wesentlich einfacher zu konfigurieren. Als Schlüsselvariable ist das Lotpastenvolumen entscheidend für die Qualität der resultierenden Lötverbindungen. Zu wenig Pastenvolumen (magere Lötstelle) wird beim elektrischen Incircuit-Test typischerweise nicht erkannt, kann jedoch nach der Auslieferung des Endprodukts im Feld zu Ausfällen



TV-Gerätevarianten aus den Loewe-Produktlinien Art, Connect und Individual

mehrwöchigen Inline-Test unterzogen worden waren, hatte das Parmi-Gerät diese Anforderungen am besten erfüllt. Die kompetente, individuelle und engagierte Betreuung durch Hilpert electronics gab den Ausschlag zur Entscheidung für den Hersteller und das laserbasierte 3D-Messsystem PARMH HS70.

### Optische Triangulation als überlegenes Messverfahren

Im Gegensatz zu den 2D-SPI-Systemen, welche lediglich Aussagen zur Flächenbedeckung ermöglichen, werden bei der 3D-Lotpasten-

führen. Ein zu hohes Pastenvolumen oder ungleichmäßiger Pastenauftrag kann wiederum zu anderen Fehlern wie Lotbrücken oder „Tombstoning“ führen.

Unabhängig davon, welche Beleuchtungsquelle auf die zu vermessende Leiterplatte projiziert wird, hängt das Kamerabild stark von Farben, Materialien (blankes Pad, Positionsdruck, Lotpaste, Lötstopplack auf Pads bzw. Substratmaterial) und Oberflächenbehandlungen der Leiterplatte ab. Die Helligkeit im Bild kann immer wieder variieren und die rechnerische Berücksichtigung dieser Varianzen hat einen direkten Einfluss auf die Leistung des SPI-Systems. Das