

ADVANTEST[®]

アドバンテストIR技術説明会 メモリ半導体市場におけるテストニーズとソリューション

2023年11月29日

ATEビジネスグループ メモリテスト事業本部 本部長 鈴木雅之
同 メモリプロダクトマーケティング部 部長 横山 仁

All Rights Reserved - ADVANTEST CORPORATION

ご注意

将来の事象に係る記述に関する注意

- 本プレゼンテーション資料およびアドバンテスト代表者が口頭にて提供する情報には、将来の事象についての、当社の現時点における期待、見積りおよび予測に基づく記述が含まれております。これらの将来の事象に係る記述は、当社における実際の財務状況や活動状況が、当該将来の事象に係る記述によって明示されているものまたは暗示されているものと重要な差異を生じるかもしれないという既知および未知のリスク、不確実性その他の要因が内包されており、当社としてその実現を約束する趣旨のものではありません。

本資料の利用について

- 本プレゼンテーション資料に記載されている情報は、各国の著作権法、特許法、商標法、意匠法等の知的財産権法その他の法律及び各種条約で保護されています。事前に当社の文書による承諾を得ない限り、法律によって明示的に認められる範囲を超えて、これらの情報を使用（改変、複製、転用等）することを禁止します。

アジェンダ

- ✓ メモリ・テストの事業環境
- ✓ メモリ半導体のテストニーズとソリューション

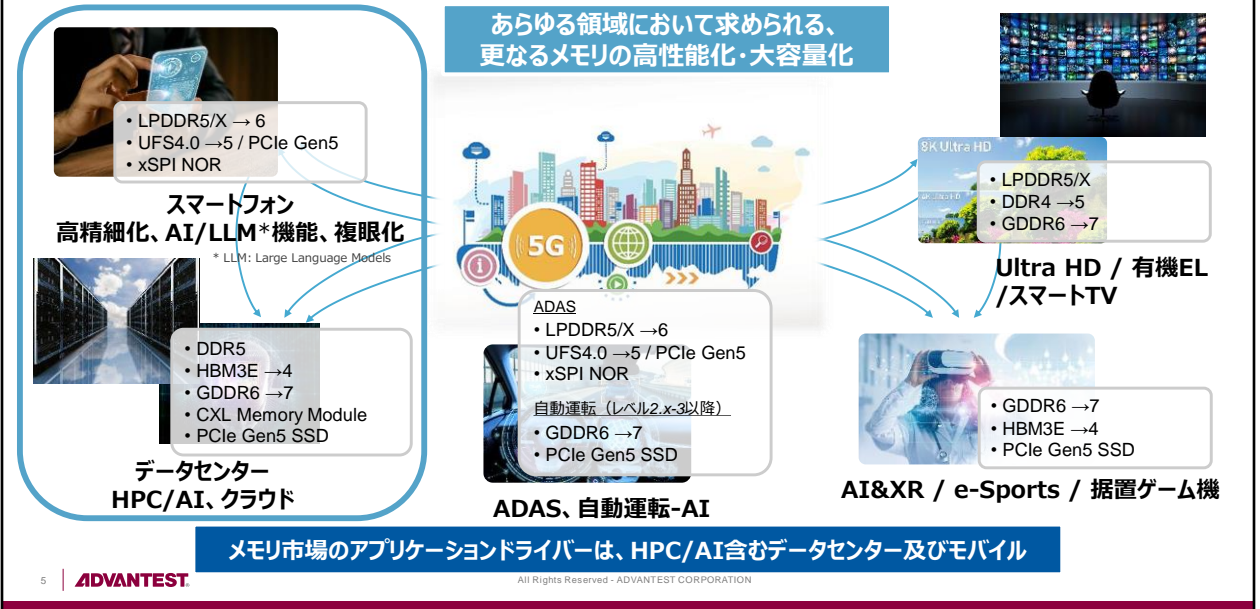
ADVANTEST[®]

メモリ・テストの事業環境

All Rights Reserved - ADVANTEST CORPORATION

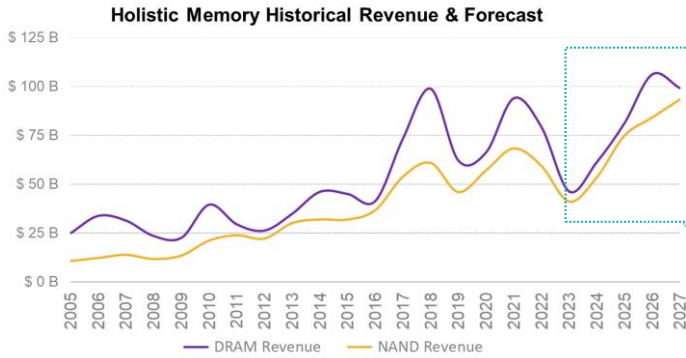
- こんにちは。鈴木です。
- それでは当社のメモリ・テストの事業環境についてご説明します。

次世代メモリ市場を牽引する主要アプリケーション群



- 半導体が暮らしの「安全・安心・心地よい」を支えています。そしてその半導体の用途が広がり、技術進化することで、私たちの生活をより便利で快適なものに変えています。
- メモリ半導体においても、アプリケーションのすそ野の広がりに応じて、より多くのメモリ半導体が使用されることに加えて、最終製品の性能進化にともない、高性能化・大容量化が進んでいます。
- こちらのスライドは、次世代メモリ市場をけん引する主要アプリケーション群を1枚のスライドでご紹介したものです。
- 特にスライド左側の、スマートフォンやデータセンターなどのサーバー向けに採用されるメモリでの高機能化、大容量化がメモリ市場をけん引しています。
- スマートフォンにおける、高精細化や複眼化といった性能進化に加えて、昨今ではAI・大規模言語モデル（LLM）といった機能追加も行われています。
- 生成AIという新たな技術の台頭は、サーバー関連においても、データセンターの能力増強が今後よりいっそう行われる見込みです。
- それに呼応してメモリ半導体の高性能化・大容量化の進展と供給量の増加を見込んでいます。

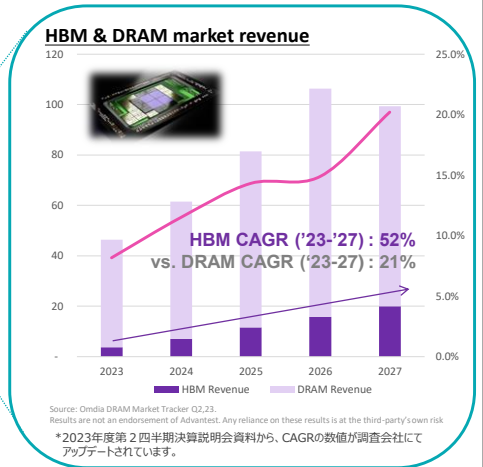
HPC/AI向け高性能DRAMが市場を牽引



Source: Omdia
 - DRAM Market Tracker 2Q23
 - NAND Market Tracker 2Q23
 - Mobile & Embedded Memory Market Tracker 2Q23
 Results are not an endorsement of Advantest. Any reliance on these results is at the third-party's own risk.

6 | **ADVANTEST**

All Rights Reserved - ADVANTEST CORPORATION



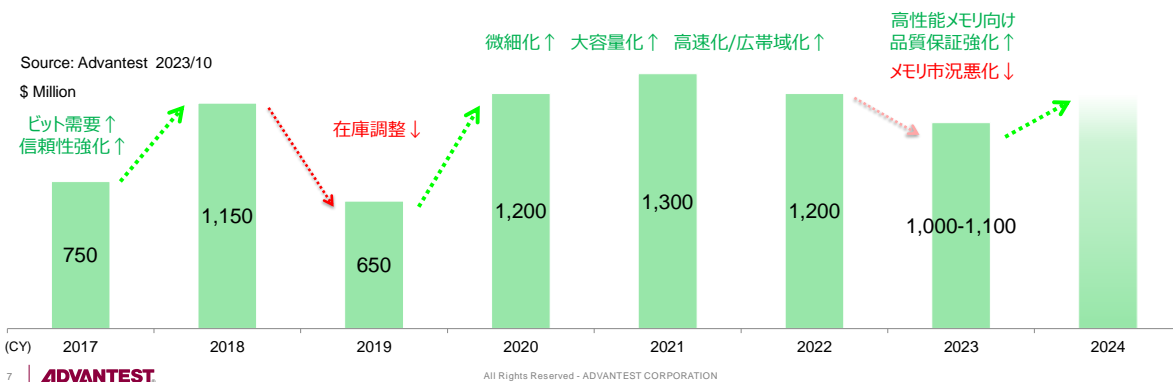
Source: Omdia DRAM Market Tracker Q2'23.
 Results are not an endorsement of Advantest. Any reliance on these results is at the third-party's own risk.
 *2023年度第2四半期決算説明会資料から、CAGRの数値が調査会社にてアップデートされています。

**特にHPC/AIサーバー向けDRAM
 であるHBM、DDR5需要が市場を牽引**

- 高性能メモリでは、スマートフォン向けと並び、ハイ・パフォーマンス・コンピューティング（HPC）やAI向けのDRAMもメモリ市場の主なけん引役になると見込んでいます。
- スライド左側のグラフは、メモリ市場全体のうち、DRAMとNAND Flashの売上高の推移です。2017年以降、メモリ半導体の市場規模はスマートフォンの機能拡張、データセンター向け需要の拡大に支えられて過去に比べて底上げされています。
- その環境下、3D NAND Flash 製品の需要の広がりや、DDR4世代への移行など、技術進化に伴うメモリ製品の付加価値上昇や供給量の増加が起きました。
- 今年2023年は、メモリ半導体メーカーの在庫調整の継続や、民生向け、データセンター向け投資の減少により市況は悪化しております。しかしながら、足元では生成AIなどに触発された高性能メモリの需要が急拡大する見通しが立っており、今後のメモリ全体の市場も拡大するものとみています。
- その拡大の中心は、HBMやDDR5 DRAMで、HBMでは2023年から2027年の今後5年間の平均成長率は52%程度と、同じ期間のDRAM全体の平均成長率21%程度と比べて高い伸びを見込む市場予測が示されています。

メモリ・テスト市場推移

- 「大容量化」、「インタフェース高速化」、「高信頼性の担保」が、テスト需要増の主要な決定因子
 - 前回のダウンサイクル比（2019vs2023）では、メモリ市況悪化による落ち込みを、HBMやDDR5など高性能メモリ向けのテスト需要増が一定量補完
 - 24年の市場は、市況回復に加え、高性能メモリの需要増加基調から前年比で拡大見込み
- メモリ・テスト市場はレス・シクリカル・グロース市場へ

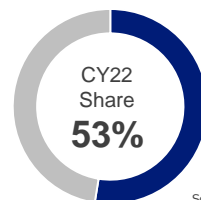


- このようなメモリ半導体市場において、メモリ・テスト市場はどのような推移をしてきたのかをご説明します。
- メモリ・テスト市場は、メモリ半導体の生産数量の増減による影響を受けます。しかし生産数量よりも、メモリ半導体の「大容量化」「インタフェースの高速化」「高信頼性の担保」がテスト需要を拡大する主なドライバーとなります。
- 前回のダウンサイクルである2019年は、メモリ半導体の市況悪化、在庫調整の影響を受け、メモリ・テスト市場も前年比で4割以上の縮小しました。
- 転じて2020年以降は、スマートフォン向けのLPDDRにおいて、DDR5世代へのシフトが始まったことでテスト需要の拡大につながりました。メモリの大容量化はテスト台数需要の増加に、インタフェースの高速化は次世代テストへの置き換え需要につながりました。
- 直近のダウンサイクルである2023年は、テスト市場規模もメモリ市況の影響を受けていますが、前回の落ち込みに比べると、HBMやDDR5などの高性能メモリ向けのテスト需要増が一定量補完し、落ち込みは浅くなるものとみています。
- 今後は、メモリ市況の回復に加え、すでに足元でもテスト需要を喚起している高性能メモリにおける「高信頼性」確保に向けたテスト強化が、2024年の市場規模を拡大するものと見込んでいます。
- メモリ・テスト市場は、半導体生産量の変動の影響は受けるものの、過去と比べてレス・シクリカルなグロース市場へと変化していると感じています。

世界No.1メモリATE*を維持するコア・コンピタンス

■ メモリ・テスト業界を牽引する高い技術力とリーダーシップ

- 2022年 メモリATEマーケットシェア: 53% (当社推定)
- ハイエンド市場で、最適なテストソリューションをいち早く市場投入。常に業界デファクトスタンダードのポジション確立



Source: Advantest

■ 業界No.1の製品ポートフォリオと総合提案力

- 全てのテスト工程で製品ポートフォリオを所有。周辺機器を含めた総合提案力で競合優位性を高める
- 業界最高のMTBF**を実現する高い製品品質で、顧客の量産効率を最大化

■ 業界最大の強固な優良顧客基盤を確立

- 長年当社が培った高度なメモリ・テストの知識と経験を体現するエキスパート・エンジニアをグローバルに配置



*ATE: Automated Test Equipment、半導体試験装置の略
**: Mean Time Between Failure : 平均故障間隔の略

8 | ADVANTEST

All Rights Reserved - ADVANTEST CORPORATION

- 次に現状のメモリ・テスト市場における当社のポジションをご説明いたします。当社のコア・コンピタンスは大きく分けて3つございます。
- 1つ目は、メモリ・テスト業界をけん引する高い技術力とリーダーシップです。
- 1990年代から当社は、先端技術を開発する顧客に密着して技術サポートを継続し、30年以上、メモリ半導体の技術進化に寄り添い、メモリ・テストの豊富な経験値と確かな技術力を蓄積してきました。
- 直近2022年のマーケットシェアも、当社推定で53%程度と首位を維持しています。特にハイエンド・メモリ向けで最適なテスト・ソリューションを業界内でいち早く市場投入していることで、当社はメモリ・テストにおいて常にデファクト・スタンダードのポジションを確立しています。
- 2つ目は、業界No.1の製品ポートフォリオと総合提案力です。次のページで紹介する、メモリ・テストの全工程で製品ポートフォリオを所有していることに加え、周辺機器を含めたテストに関する総合提案力で、当社は競合優位性を高めています。また故障率の低い業界最高の製品品質は、顧客の量産効率の最大化に貢献しています。
- 3つ目は、業界最大の強固な優良顧客基盤を確立していることです。長年当社が培った高度なメモリ・テストの知識と経験を体現するエキスパート・エンジニアをグローバルに配置し、メモリ半導体の開発から量産にいたるあらゆる技術支援をタイムリーに提供することで幅広い顧客からの高い信頼を得ています。

業界唯一の全メモリ・テスト工程をカバーする製品群

ウエハレベル
バーニン



B6700S

ウエハレベル
テスト



T583X



T5221



B6700

パッケージレベル
バーニン及びコアテスト



H5620



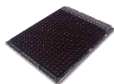
T583X

パッケージレベル
高速インタフェース



T5503HS2

メモリ・テスト工程をフルカバーするソリューションラインナップ



周辺機器を含む包括的なソリューション

9 | ADVANTEST

All Rights Reserved - ADVANTEST CORPORATION

- 前のページでご紹介した当社のコア・コンピタンスの一つである、すべてのメモリ・テスト工程で製品ポートフォリオを所有する具体的な製品群がこちらのスライドとなります。
- テストに関連する周辺機器であるデバイス・インタフェースからテスト・ハンドラと、当社の技術力を活かした製品群と組み合わせることで、顧客に対して包括的なテスト環境構築支援が可能となり、競合との差別化となっています。

メモリ半導体の技術進化と供給量増加に対応する統合ソリューション

広範なテスト・カバレッジ、高スループットのハンドリング技術を統合した、メモリ・テスト・セル「inteXcell」

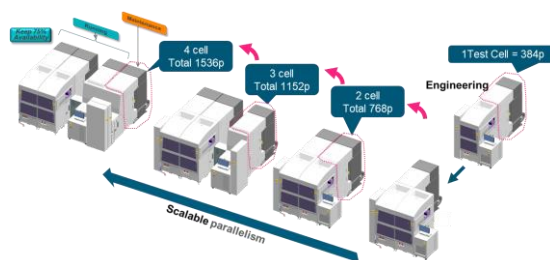
- 当社が長年培ってきた、メモリ・テスト、デバイス・インタフェース、オート・ハンドラの技術を統合した、業界の先駆けとなるテスト・ソリューション
- 高密度化、省電力化、インタフェースの高速化といったメモリ・デバイスのパッケージテストの課題に対応
- 設計評価から量産まで 1 つのプラットフォームで対応



inteXcell Series 4Cell Configuration

システム構成の拡張性とフロアスペース最小化を両立

- 364個から1,536個まで同時測定数を柔軟に拡張可能
- 床面積は従来製品比およそ1/3へ削減
- 小テスト・セル毎の個別制御と量産工場の自動化への対応により稼働率向上に貢献



- 包括的なテスト環境構築を支援する具体例として、最後にもう 1 つご紹介させていただきます。
- メモリ・テスト、デバイス・インタフェース、オート・ハンドラの技術を統合した、業界の先駆けとなるテスト・ソリューション「inteXcell」です。
- 中長期的に需要の伸びを期待できるメモリ半導体の技術進化と供給量増加に対応する統合ソリューションとして業界をリードするものと考えています。
- 高性能化、省電力化、インタフェースの高速化といった、メモリ・デバイスのパッケージテストの課題に対応する最新ソリューションです。
- オペレーション面での特徴としては、システム構成の拡張性とフロアスペース最小化を両立したことです。量産工程において小テスト・セル単位での個別制御と工場の自動化に対応したことで稼働率向上に貢献すると同時に、床面積を当社従来製品と比べて、およそ 1/3 に削減することが可能となりました。
- テスト時の温度環境を設定するチャンバ構造を、非常にコンパクトにデザインすることができました。熱効率を高めたことにより、低温から高温まで、幅広い温度環境を設定するために必要な消費電力を削減することができました。
- この新しいソリューションは、顧客の技術進化を支えると同時に、生産効率およびテストに使用するエネルギー効率の向上に貢献します。
- 以上が私のご説明となります。



ADVANTEST[®]



メモリ半導体のテストニーズとソリューション

All Rights Reserved - ADVANTEST CORPORATION

- こんにちは。アドバンテスト 横山です。
- 続きまして、私からは、メモリ半導体のテストニーズとソリューションと題して、昨今のメモリ業界で最も注目度の高い、グラフィックDRAMの1種である HBMに焦点をあててご説明します。

メモリ半導体テスト・フローと特徴

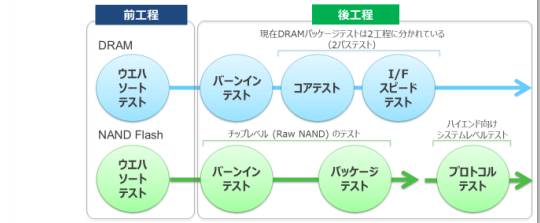
メモリ・テストの特徴

- ウエハからパッケージまでテスト内容や温度環境別にテスト・フローを構築
- メモリの技術進化に応じたスループット最適化のため、多数個同時測定が重要
- メモリの世代交代により、テストの高速化、高信頼性を担保する要求も高度化

メモリ・テスト/テスト需要の主な要因

- テスト需要には、ビットグロス（チップ出荷個数 X メモリ容量）が重要
DRAMの微細化や3D-NANDの層数増加といった先端プロセスへの移行は、ビットグロスを促進、テスト時間の増加につながり、各テスト・フローでテスト需要増
- メモリのデータ伝送速度向上は、高速テストの新規需要を創出
DRAM I/F（インタフェース）スピードテスト工程では、新たなテスト・カバレッジを有するテストが必要
- AI/HPC向けなど高性能メモリ半導体の生産数量増加と高信頼性要求
先端パッケージ採用が進み、HBMなどでは、積層後のテスト工程の追加や高い信頼性を追求する入念なテストの実現によりテスト需要が増加

メモリ半導体のテスト・フロー

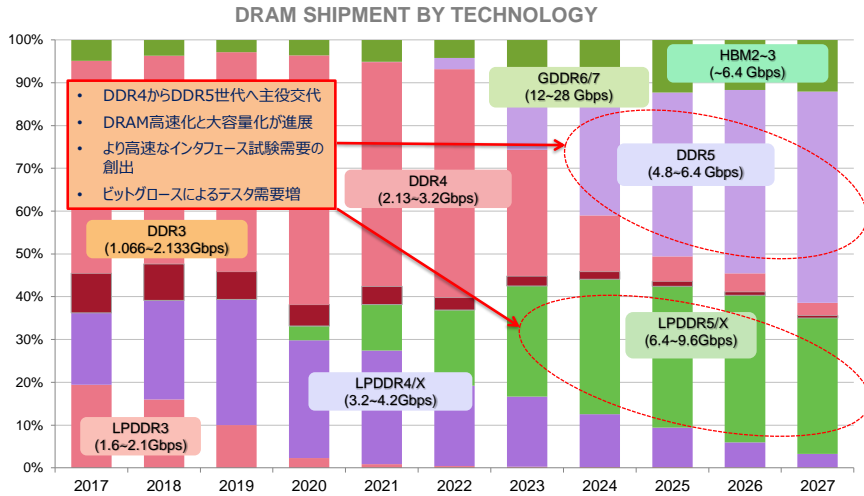


次世代メモリが求めるテストニーズと技術課題



- まず初めに、メモリ半導体のテスト・フローとメモリ・テストの特徴、そしてテスト需要の主な要因についてご紹介します。
- スライド右上をご覧ください。こちらは、一般的なDRAM, NANDそれぞれのテスト・フローを簡素化して表したものです。いずれも初期的な不良を除去するために、高温下で行うバーンイン・テストの工程を経て、半導体の動作が設計通りであるかを高精度な電気信号解析を通じて確認するテスト工程が組み込まれています。テスト工程が多く、温度設定などの条件設定も加わり、何回もテストされます。
- スライド右下で示すように、メモリ半導体のテストはその工程別にテストニーズや技術課題が存在します。一般的には、ウエハ段階でのテストから最終パッケージまで、半導体にいくつもの加工が進むにつれ、厳しい条件のテストが行われます。
- たとえばDRAMでは、DDR4からDDR5など、世代交代に伴い、メモリのインタフェース（I/F）の高速化が進みます。それに伴い、パッケージ後の試験は、バーンイン、基本動作スピードでのコアテスト、DRAMの高速動作を試験するI/Fスピードテストを区分けし、それぞれでテストのスピード、同測数が最適化されております。
- メモリ半導体のテスト需要は、主に3つの点に起因して発生します。
- 1つ目は、チップの出荷数と容量の掛け合わせとなる、ビットグロスです。テスト時間を増加させ、テスト・フロー全体でテスト需要を促します。
- 2つ目は、メモリのデータ伝送速度の上昇です。新たなテスト・カバレッジを有する、高速テスト需要の創出につながります。
- 3つ目は、AI/HPC向けなど高性能メモリ半導体の生産数量増加と高信頼性要求です。次ページ以降詳しく説明していきます。

DRAM インタフェース推移予測



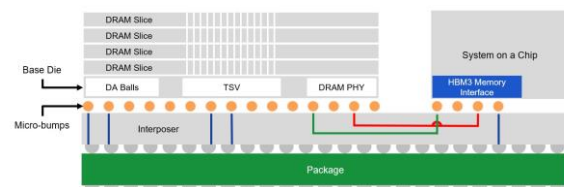
- こちらスライドでは、メモリ半導体の市場を今後けん引すると期待されている高性能メモリを含む、DRAMのインタフェースの技術動向と今後の見込みについて示しております。
- グラフの見方の前提ですが、各々のDRAM品種別のビット換算した比率を、2017年から2022年までは実績に基づき、2023年から2027年までは予想に基づき比率をグラフ化したものです。
- 今年2023年から2024年以降にかけて、主にPC・サーバー向けでは、DDR5への世代交代が進み、DRAMの高速化と大容量化が進展していきます。また、主にモバイル、車載向けに採用されている低消費電力型のLPDDRについても、高速化、大容量化の進展を見込みます。LPDDR5/Xではデータセンターでの採用需要も増えてきております。これらDDR5世代への移行は、より高速なインタフェース試験需要の創出や、ビットグロースに伴うテスト台数需要の増加につながります。
- このグラフ上では最上部に配置されているHBMも、高速・大容量化は進みます。最終製品からメモリに対する高品質要求を背景に、良品率を上げるため入念なテストが行われ、テスト時間の増加やテスト工程の追加など、足元でもテスト需要の急峻な立ち上がりが見られます。DRAM全体の割合における構成比は10%前後の見通しではあるものの、「大容量化」「インタフェース高速化」「高信頼性の担保」といったテスト需要の増加を促すいずれの要素の面でも期待しています。

生成AIの社会実装を支える高帯域メモリHBM



HBM (High Bandwidth Memory) とは

- 3D積層メモリ技術の一種。従来の2次元メモリよりも高い帯域幅と容量拡張性
- 2.5D/3Dのような先端パッケージの製造コスト増と熱管理の課題はある。主に高性能HPC/AI コンピューティングの分野で使用
- 最新のHBM3は、GDDR6比較で12倍の容量、13倍の高帯域



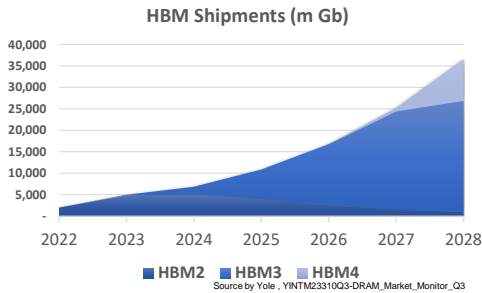
HBM3 Memory Interface (Source: Rambus Inc.)

数千以上のコアを有する並列演算処理の高いGPUとそれに最適な構成を持つHBMは、膨大な演算処理を必要とするAI技術に必須であり、高い市場成長が期待される

- では、今最も高い成長が期待されているHBMについて簡単にご説明させていただきます。
- 昨年末より、急激な市場拡大がすすむ生成AIや高度なLLMにより、高性能AIモジュールがGPUやHBMといった半導体の需要を加速させております。
- そのHBMはスライド右側に示すように、3D積層メモリ技術を用いることで、より高帯域幅と高い容量拡張性を備えています。GPUやカスタムASICなど直近のSoC半導体と同一基板上でside by side接続することで、高い処理能力を発揮し、システム全体の高性能化を支えます。
- 今日のHBMは、メモリ半導体メーカーにおいて、まだ製造コストと熱管理の問題でさらなるスケールアップに課題があるといわれておりますが、次世代の積層技術が習熟するに伴い、更なる性能向上も検討されております。
- これら、数千以上のコアでの並列演算処理の高いGPUと、それに最適な構成を持つHBMは、今後のAI技術には必須であり高い市場成長が期待されております。

HBMの技術動向と展望

データセンタ向けAIモジュールを筆頭に、今後5年間はHBM3からHBM4世代へと急速に拡大



- 2023年～2028年のHBM年成長率は49%（ビットベース）
- 2024年以降、HBM3(エンハンス版含む)のシェア急拡大
- 次世代HBMに向けて、熱・コストの課題改善含め新たなプロセス開発が期待される

HBMのインターフェース速度、帯域及びスタック数、容量と世代毎に倍々へと進化が期待される

HBM 世代別性能比較

	HBM2E	HBM3	HBM4
メモリ帯域	460GB/s	>820GB/s	>1.5TB/s
ダイ容量	8/16Gb	16/24Gb	24/32Gb
スタック数	4, 8	8, 12	8, 12, 16
IOスピード	3.2Gbps	>6.4Gbps	TBD

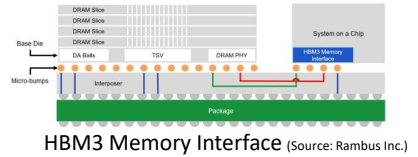
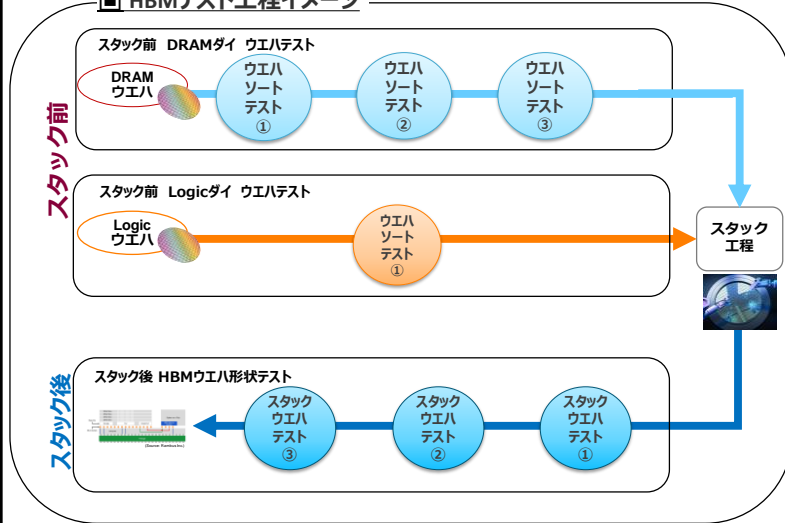
Advantest Marketing Estimation 含む

- HBM2E、HBM3、そのエンハンス版からHBM4世代へとメモリの帯域性能は倍々へと進化
- HBM スタック数が4-8-12-16段と変化し、ダイ単体の微細化と併せてメモリ容量が増加

- 具体的に、HBMの技術動向と今後の展望についてどのように見込んでいるか説明をしていきます。
- このスライドの左のグラフは、ビットベースでのHBMの出荷数を表しています。HBMの今年2023年から2028年の5年間の平均成長率はおおよそ50%程度の成長を見込んでいます。
- スライド右側の表は、HBMの性能向上がどのように見込まれるかを比較したものです。メモリ帯域、ダイ容量、積層数、スピード別の進化を、HBM2EからHBM4まで当社マーケティング部門で整理しました。
- 現行主力であるHBM2, 2Eは1つのダイ当たり8、もしくは16Gbの容量を有し、4から8段積層されております。スピードは3.2Gbpsもしくはそれ以上とみています。
- 今後、主力となるHBM3, そのエンハンス版、さらにはHBM4へと世代移行につれ、さらに1.5倍～2倍近くのダイ容量とスタック数に増加、スピード、総メモリ帯域も倍程度を実現するものと見込みます。
- このスケールアップ、拡張性は、テスト需要増加に直結します。

現状のHBMテスト工程と課題

■ HBMテスト工程イメージ



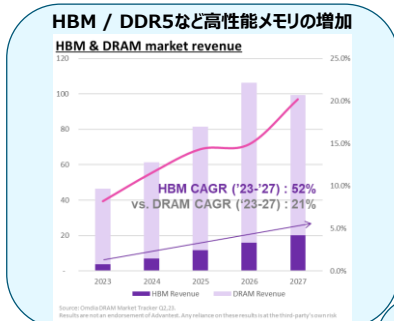
HBM3 Memory Interface (Source: Rambus Inc.)

■ テストへの課題

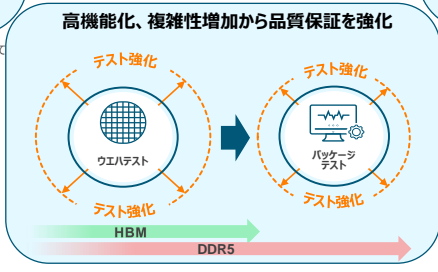
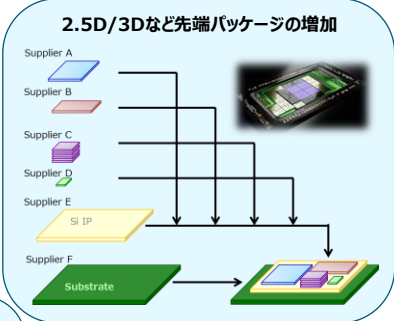
- 世代毎の容量増、スタック増(8段->12段->16段)
→テスト時間増大
- 世代毎にインターフェーススピードUp
→テストスピード増/周辺回路負担増
- 電源、電流容量増
→テスト拡張性、同測数影響
- HBMスタックウエハダイシング前後の歩留まり影響
(e.g.ダイレベルテスト)

- では現状メモリメーカーが、どのようにHBMをテストしているかの簡単なイメージと、テストへの課題についてご説明します。
- 左の図は、HBMを構成するDRAMウエハとインターフェースとなるロジックウエハが製造された後からHBMが出荷されるまでのテスト工程のイメージです。
- 一番上に示す水色のDRAMウエハは、従来のDRAMメモリとほぼ同様なテスト工程が実施されると思われます。真ん中のオレンジ色のロジックウエハも簡単なウエハ試験が行われます。その後、水色とオレンジ色の矢印が交わる工程で、3次元積層プロセスを介し、HBMウエハが完成します。
- その後、一番下にある青色のHBMスタック後の工程に移行します。改めてメモリセルへのアクセス、ファンクション試験など複数のテスト工程により品質を高め、最終的に出荷されると想定します。
- 今後HBM市場が拡大し、メモリ性能が向上する中でのテスト課題としては、先にも述べたようにスタック数増加によるメモリ容量拡張、インターフェーススピードアップ、デバイス電源、電流容量増化に伴う同時測定数への影響など想定され、テストの能力拡張への対応が必要となります。
- また、HBMウエハのダイシング前後に伴う歩留まりの影響に対して、ウエハから切り出した、ダイシング後のダイレベル試験などの検討も議論されております。
- 現状当社はHBM向けは高いシェアを有しています。今後も広範な製品ポートフォリオを活かしながら、将来的に必要となりうる、最適なソリューションをあらゆる可能性を見越して、タイムリーに提供するべく、リサーチ、開発を進めております。

生成AIがもたらすメモリ・テストの事業機会



*2023年度第2 四半期決算説明会資料から、CAGRの数値が調査会社にてアップデートされています。



- 生成AIの社会実装は始まったばかりです。
- その生成AI関連の需要にけん引される形で、高性能メモリであるHBMやDDR5は、高い市場成長が期待されます。
- これらの高性能メモリは、2.5Dや3Dなど先端パッケージの組み立て能力増強に伴い、半導体生産数量の増加を見込みます。
- 加えて、高性能化、複雑化に伴い、半導体のさらなる品質保証の強化の観点で、テスト内容やテスト工程の強化が行われています。
- 結果として、当社メモリ・テストとしての事業機会は更に拡大し、今後の成長の鍵になるとみております。

メモリ・テストの事業環境とテスト需要の広がり

あらゆる領域において、さらなるメモリの高性能化・大容量化が継続

- メモリ市場のアプリケーションドライバーは、HPC/AI含むデータセンター及びモバイル
- 生成AIや高度なLLMの急速な普及が高機能なAIモジュール(GPU+HBM)の需要を拡大
- 特に市場を牽引するのは高性能メモリであるHBM、DDR5

半導体の生産量増加 「キャパシティ・バイ」

アプリケーションのすそ野の広がりで、メモリ半導体の生産量が増加

HBMでは顧客の生産計画が拡大し、呼応したテスト需要の伸びを見込む

半導体の技術進化 「テクノロジー・バイ」

先端プロセス世代への移行でビットグロスが促進。テスト時間増大へ

メモリ高速化の進展で、より高速なインタフェース試験の需要が創出

品質や信頼性へ要求の高まり 「クオリティ・バイ」

高品質要求を背景に、ハイエンドメモリ半導体で入念な試験がより求められる。テスト時間増大へ

メモリ半導体の技術進化と需要の拡大をTested by Advantestで支え、
「安全・安心・心地よい」社会の実現に貢献

- 最後に、メモリ・テストの事業環境とテスト需要の広がりについてまとめます。
- 冒頭に説明したように、あらゆる領域において、メモリ半導体の高性能化と大容量化が継続しています。中でも、今後の市場のけん引役として、高性能メモリであるHBMやDDR5の技術進化と市場成長に期待しています。
- 当社は、メモリ半導体の技術進化と需要の拡大を、磨き続ける高い技術力と製品ポートフォリオ、強固な優良顧客基盤でしっかり支え、業界をリードし、これからも「安全・安心・心地よい」社会の実現に貢献してまいります。
- これで私からの説明を終わります。

ADVANTEST®

All Rights Reserved - ADVANTEST CORPORATION