

株式会社アドバンテスト

IR 技術説明会

開催日：2022年12月7日

将来の事象に係る記述に関する注意

－ 本プレゼンテーション資料およびアドバンテスト代表者が口頭にて提供する情報には、将来の事象についての、当社の現時点における期待、見積りおよび予測に基づく記述が含まれております。これらの将来の事象に係る記述は、当社における実際の財務状況や活動状況が、当該将来の事象に係る記述によって明示されているものまたは暗示されているものと重要な差異を生じるかもしれないという既知および未知のリスク、不確実性その他の要因が内包されており、当社としてその実現を約束する趣旨のものではありません。

※本スクリプトの内容はプレゼンテーションと必ずしも一致しない場合があります。

IR 技術説明会

〈プレゼンテーション資料〉

IR 部 部長 小林 良健

ただ今より、株式会社アドバンテスト IR 技術説明会を開始いたします。本日は、皆様のご参加を賜り、誠にありがとうございます。

弊社の「技術説明会」ですが、弊社が扱う製品の需要は、半導体の数量増減だけでなく、テストされる半導体の技術進化や性能進化とも深い関係があります。そうしたつながりをひもとく場を、このように定期的に設けさせていただいています。今回はハイエンド SoC と、そのテスト技術に焦点を当てます。

本日のプレゼンターをご紹介します。



取締役兼経営執行役員 CTO (Chief Technology Officer) ATE ビジネスグループリーダーの津久井 幸一です。

津久井は計測器の開発に携わり、その後国内外の営業担当および社長室長を務めたのち、現在は ATE ビジネスグループのリーダーとして、研究開発から顧客サポートまで全社のテストビジネスの指揮をとる任にあたっております。

続いて、



Advantest Europe, SoC Test Business Unit, V93000 Marketing, Senior Vice President の Ralf Stoffels です。

Ralf は 1994 年よりヒューレット・パッカー社で半導体テスト・ビジネスに従事し、V93000 の導入と立ち上げに当初から携わりました。その後、マーケティング部門で様々なリーダーシップをとり、現在は当社 V93000 マーケティングの Senior Vice President としてワールドワイドに指揮をとる任にあたっております。

本日は、この両名から、「Test needs and Solutions in the High-End SoC Semiconductor Market」と題したプレゼンテーションを行います。その後で、皆様からのご質問を承ります。それでは、これより、津久井からご説明申し上げます。

P3 Agenda

津久井 幸一

こんにちは。津久井です。本日はご多用のところ当社技術説明会にご参加を承り、誠にありがとうございます。

早速ですが、本日は、私、津久井から SoC テスト事業の変遷と、CTO としてどのように R&D Management に取り組んでいるかを説明します。続きまして、V93000 マーケティングの Senior VP を務めます、Ralf Stoffels 氏から SoC 半導体の市場環境認識、SoC テスト市場を今後牽引する High performance computing (HPC)に関する、今後のテストニーズとソリューションを説明いたします。

P4 Our Dynamic SoC Test Business

それでは当社の SoC テスト・ビジネスにおける事業環境についてご説明します。

P5 Semiconductors Support Changing Lifestyles

半導体が暮らしの「安心・安全・心地よい」を支えています。そしてその半導体の用途が広がり、技術進化することで、私たちの生活をより便利で快適なものに変えています。そうした社会変容の中で、半導体がより多くのアプリケーションで使われ、技術進化することで半導体テストの需要もますます増えています。

技術進化の方向性をみると、半導体プロセスの微細化進展の流れに加え、2.5D/3D Scaling といわれる、回路集積を通じてエネルギー効率の向上を追求する流れです。多様な半導体の技術の変化点、我々はそれを“Wave”と呼んでいます。この変化点がテスト難易度、複雑化を加速させています。“Wave”を捉えるための R&D マネジメントを次にご説明します。

P6 R&D Management Initiatives from FY2018

当社は、価値創造と社会貢献実現の原動力として、高い R&D 投資水準を維持しています。2021 年度から 2023 年度にかかる第 2 期中期経営計画では、前中計期間から 500 億円増額して、累計 1,700 億円の R&D 投資を予定しています。

第 1 期中期経営計画を開始した 2018 年度から当社の R&D マネジメントの取り組みを簡単にご紹介しますと、一つ目は、半導体の技術動向を踏まえた長期ロードマップに基づく R&D の推進です。多様な顧客とアプリケーションに対応するプラットフォーム戦略の拡

充に努めています。

二つ目は、統合ソリューションの提供です。半導体量産工程から、近縁市場である設計・評価工程および、システムレベルテスト工程への事業領域を拡大しています。また、テスト・インタフェース事業の強化などにも取り組んでいます。

三つ目は、クラウド、ソフトウェア、データ・アナリティクスを活用したテスト・ビジネスにもチャレンジ中です。当社はクラウド・サービス「Advantest Cloud Solutions」を立ち上げ、先進半導体企業やソリューションを開発提供するパートナー企業の参加を得て事業化に取り組んでいます。

この3つのほかにもリーディングカスタマーとのコラボレーションや業界コンソーシアムに参加し、当社は日々、顧客の課題解決に取り組んでいます。

P7 More R&D Synergies

続いて開発を支えている当社の拠点をご紹介します。主要な開発拠点はドイツのボブリンゲンと日本の群馬県にあります。アドバンテストの全従業員約 6,500 名のうちおよそ 3 割が研究開発人員となっています。ボブリンゲンでは主に V93000 を、群馬では T2000 やメモリテストを開発しています。

以前は V93000 の開発部門と T2000 やメモリテストの開発部門が分かれていましたが、2018 年度にこれを 1 つの組織に統合し、グローバルな人事ローテーションも展開、情報共有や開発効率のスピードアップに着手しました。今日はボブリンゲンに私も来ていますが、このボブリンゲン事業所全体で従業員は約 600 名います。

P8 Today's Focus : High-End SoC Test

多様な“Wave”がある中で、今回はハイエンド SoC についてご説明します。市場が年々活性化している HPC デバイスは、数量としては半導体全体の中でまだ少ないですが、テストの強度は他の半導体よりも非常に高いです。テスト技術としては 測定精度はもちろんのこと、温度やパワーといった技術も求められます。これら要求に対し、当社は SoC テスタに加えテスト・インタフェースやシステムレベルテストを強化し、統合ソリューションを顧客に提供しています。

今回は当社の V93000 のテストソリューションを Ralf より次ページ以降で紹介いたします。

P9 High Performance Computing (HPC) is the major driver of SoC Test

Ralf Stoffels

こんにちは。Ralf Stoffels です。SoC テストの主要なドライバーの一つであり、当社の企業戦略にとって非常に重要な分野である HPC の戦略と市場実績についてご紹介します。

P10 Era of High-Performance Compute - Exascale Computing

それでは、まず市場全体を見てみましょう。ここでは1980年代以降の歴史的な見方を説明します。グラフは過去からの半導体売上の伸びを示しており、主要な成長の波とそれぞれの時代に導入された技術を簡略的に結びつけています。初期の紺色の段階を見ると、PCとインターネットの時代で、これがコンシューマー コンピューテーションの最初の大きな成長を牽引しました。その次が、モビリティの時代。携帯電話とモバイル インターネット アプリケーションによる大きな波に対応してきました。

そして、この緑色をした次の波が何によって引き起こされるかは、はっきりとわかると思います。それは、HPCの時代であり、AIの時代です。イノベーションと成長のスピードが時代とともに増しているのがよくわかると思います。それぞれのセグメントや技術が、日常の人々の生活にさらに入り込んでいるからです。PCの時代は商業用アプリケーションによって、1家庭につきPC1台だけでしたが、モバイルの時代は、1人につき携帯電話1台となることで、数量が大きく増えました。これからの時代は、生活や産業でのあらゆる面での半導体の普及がドライブすることになるわけです。

そして、その市場成長を牽引するのは、数量だけでなく、他のドライバーも存在することを後ほど説明します。

P11 Advantest V93000 led the way towards EXA Scale Computing

これは我々の製品ラインの歴史でもあり、ここではSoC半導体用のテストシステムであるV93000の歴史をご紹介しますが、実はPCの時代から始まっています。V93000は1999年に発売され、最初の世代をPin Scaleと命名しました。PCやインターネット接続機器のテスト要求に対応してきました。そして、次の世代、モビリティ、スマートフォンに牽引される、大きなSoC市場に対しては、当社もSmart Scaleと呼ぶ世代へ展開して、市場対応を進めてきました。この世代のV93000 テスタ・プラットフォームは、テスト市場と製品売上の驚異的な成長を推進しました。

そして、約1年前に、EXA Scaleを発表しました。EXA Scale 世代では、今後登場する新しいスーパーコンピューターやAIエンジンをテストするために必要な機能を追加しています。私のプレゼンテーションの大部分は、我々の市場における位置づけによってもたらされるチャレンジと今後の機会について扱います。

我々のプラットフォームがこれほどまでに成功した理由の一つは、互換性がありアップグレード可能なシステムを提供することで、顧客がテストプログラムの根幹や設備に対しての投資を無駄にすることなく、あるイノベーションから次のイノベーションに移行できる道を提供できたことです。顧客の技術の世代移行と、それに伴うテストの世代交代を、わずかな労力で行えるよう、我々はサポートしてきたのです。そして、このことは、当社の新世代のEXA Scaleにも当てはまります。互換性の実現に加えて我々はイノベーション

を推進してきました。その結果、ここに示すように、推定値でおよそ1万システムの導入を達成することができました。おそらくもうこの数字は超えていると思いますし、これからも増え続けていきます。

P12 Technology Leadership by continuous Innovation

このページではテストの技術革新を紹介します。2000年に、高性能デバイスのテスト速度を1秒間に1ギガビットとした最初のテストを他社に先駆けてリリースしたことは重要でした。また2005年頃、160Aの電源供給が可能な計測モジュール（V93000ではカードと呼称）を最初に導入し、これを1000A以上まで拡張できたことも重要でした。電源の面で今後どのようなことが期待されるかについては、後ほどお話しします。

2012年は、V93000がアドバンテストのプラットフォーム戦略の一部となった年でもあります。全チャンネル1.6Gbpsのカードを初めて発売しました。市場で最も高速なATE(Automated Test Equipment)であり、最も深いスキャン機能、市場で最大容量のベクターメモリを搭載していました。さらに、16GbpsのI/O能力を持つ高速カードも導入しました。これもまた市場最速でした。そして、現在も最速を維持しています。最近、我々はEXA Scaleを発表しましたが、今後5年～10年先を見越して、機能、スピード、ベクターメモリ、パワーと言った面を強化しており、Pin Scale5000と呼ぶ新しい汎用デジタル・カードで、従来の1.6Gbps性能を5Gbpsまでに引き上げています。前のスライドでお見せしたAIやHPCのフェーズで、顧客が開発に必要とする裕度をもつカードを提供しています。

そして、この時代にもう1つ重要なのが電源です。我々は、数千アンペアとは言わないまでも、数百アンペアの電力を消費するデバイスについて話しています。新しい電源、XPS256は、その能力を提供し、さらに拡張する道筋を提供します。これもすべて、拡張性と互換性のある1つのプラットフォーム群の中にあるのです。そのため、我々が前世代で推進したイノベーションも、新しい世代で活用することができます。また、すべて互換性があるため、顧客は簡単に次の世代に移行することができます。OSATや製造委託の顧客は、前世代への投資を維持できるわけですから、新世代のプラットフォームを導入した後も継続的に収益を上げられるということが、V93000を選択する大きなポイントになっています。

P13 Major Segments and ATE Customers

そこで、技術革新の話をする前に、技術の変化と市場について見ておきたいと思います。市場の状況は、すでに主要なプレーヤーにかなり分散されています。我々は、市場をPCとサーバー用CPU、PC用グラフィックス、モバイル用APUとモデムに区分しています。これらの分野では、顧客や技術的なニーズが異なるため、このようなセグメント分けをしています。

では、PCとCPUについて簡単に説明します。この市場には、歴史のある2つの大企業が参入しており、これらは当社の顧客です。PCグラフィックスも同じような状況です。

おそらく、2つの大企業と、いくつかの非常に規模の小さな企業でしょう。モバイルも同じです。携帯電話のアプリケーションプロセッサとモデムの市場全体にサービスを提供しているのは、現在、3~4社の大手企業です。しかし、ここで変化を予見することは非常に簡単です。

そこで、まず上段に区分した、PCやサーバー用CPUに目を向けてみましょう。まず、もちろん既存のプレーヤー、インテルX86アーキテクチャをベースにしたCPUが強いという状況に今日あるわけです。しかし、新しいコンピューティング・アーキテクチャが登場するのは目に見えています。最も顕著なのはARMで、ARMはすでに数年前から市場で非常に強いポジションにあり、インターネットやモバイル機器などに多くのコンポーネントを提供しています。また、「Risk 5」と呼ばれるオープンアーキテクチャの新たなアーキテクチャも登場し、新たな可能性を提供しています。どちらも、従来のX86アーキテクチャのアドオンとして、また競合として捉えることができます。また、ここで左右に2つのボックスを表示したのはそのため、異なるプレーヤーのセグメンテーションが見られます。1つは、チップメーカーによるPCとサーバーで、特に中国では、これらのプロセッサを提供する新興企業が数多く誕生しています。一方、もう1つは、システムビルダー、つまり業界の大手ハイパースケーラーが、独自の処理エンジン、処理だけでなくAIアクセラレータを提供していることです。最終的にサーバーを運用する人たちによって統合され、彼らのニーズにぴったり合ったチップを構築することが、基本的に彼らの競争力になっています。また、消費電力や効率も重要なポイントになります。

PCグラフィックスについても見てみましょう。アーキテクチャの変化はそれほど大きくありません。大手プレーヤーは依然として変わらないと思いますが、そこに新たなプレーヤーが現れると考えます。特に中国は、従来の技術から独立した道を歩んでいるため、コンピューターグラフィックスに携わる新興企業が数多く存在し、これはもちろん当社にとって新しいチャンスであり、新しい市場セグメントとなります。

最後に、モデムとAPUですが、やはり中国が中心となって、2つの異なるビジネスモデルを持つプレーヤーが増加しています。1つは、携帯電話メーカーにチップを供給していた従来のチップメーカーですが、携帯電話メーカーが自社でチップを設計・製造するようになり、これも新しい展開で、さらなる成長をもたらすと同時に、ATEに求められる要件も変わってきています。例えば、ターンキーサービスがより多く求められるようになりました。これは、我々の戦略上、非常に重要なことです。

P14 Major HPC Trends – Growing Complexity

このように市場の変化を示した上で、技術の動きにも目を向けてみましょう。これは非常に重要な観点で、技術の詳細については少し説明する必要がありますが、イノベーションの原動力であり、我々がATEの新しいバージョンや世代に投資する理由の原動力となるものです。

6つあるうちの、左上から始めましょう。先ほど申し上げたように、特に大型のサーバーでは統合が進んでおり、その手段の一つとして、1つのパッケージに複数のチップを集積した「チップレット」が、サーバーの必要性に応じて複雑性を高めるためのソリューションとして注目されています。これは、テストベンダーの我々にとって、新しいテスト要件となる非常に重要な事実です。ここで示す ARM CPUs はすでに述べましたが、新しいプレーヤーのソースであり、新しいコンピュータ・アーキテクチャを可能にし、従来の X86 アーキテクチャに対抗する強力な競争相手です。複雑さの軸では、右上に示したように、半導体の世代交代、ノード交代、微細化（例：5nm→3nm）のたびに、新しい技術が入ってきています。例えば、大手ファウンドリの中には、3nm ですでに FinFET トランジスタからゲート・オール・アラウンド（GAA）トランジスタに技術を変更するところもあれば、2nm の世代で変更するところもあります。つまり、これらのトランジスタのテスト設計に使用する故障シミュレーションモデルが変化しているということです。歩留りを習熟させる (Yield Learning) までにかかる長い期間、技術として成熟させるべく、それらをテストングする、つまりは、テストングすることこそが、次世代に向けて歩留まりを上げる方法を学ぶこととなります。そのための主要なツールがテストであり、そこではテストが基本的に助けになり、特にその段階でテストシステムが購入されます。

このスライドの下部にある、3D パッケージング、電力や熱などの複雑化といった分野は、先ほど説明したことがすべて同時に起こっています。トランジスタ数の増加、3D パッケージング、さらに次のノードでは、常に電力が増加する傾向にあり、これはデバイスの動作だけでなく、デバイスをテストする際にも大きな課題になっています。そしてスーパーコンピュータチップを次世代でテストするためのソリューションを模索するために、顧客と非常に密接に連携していることを意味します。そして、最後に右下ですが、もちろん相互接続のチャレンジがあります。データセンターの規模が大きくなればなるほど、顧客はさまざまなコンピューティング・エンジン間のデータ通信のファブリック（ケーブルやコネクタ、ネットワークスイッチを含んだネットワーク基本構造物）に対処しなければなりません。これは高速テクノロジーのチャレンジであると同時に、パワーの問題でもあるのです。今日のデータセンターでは、多くの電力がインターコネクに使われています。そのため、業界では当然ながら、光接続を含むより良いソリューションを求めています。もちろん我々は、次の大きなトレンドが何であるかを見極めるために、彼らと密接に協力しています。何が課題なのか、そして、そうしたファブリックをテストするために、我々のソリューションをどこまで拡張する必要があるのか、お話しします。

P15 Growing Complexity drives Market Size for ATE

ここで、トランジスタの複雑さについて少し掘り下げてみましょう。先ほど、デバイスの数が増えて ATE がより多くのテストを提供する必要性が出てきたと言いましたが、デバイスの複雑さによっても大きく左右されます。たとえば数百万個といったトランジスタ数

の成長動向から、チップあたり最大である、サーバー向け CPU や GPU、PC のようなクライアント向け、そして、依然として大きな市場牽引役であるスマートフォン向け APU、が確認できます。そして、非常に簡単な言い方をすれば、テストはトランジスタの数に依存するとも言えます。トランジスタの数が多ければ多いほど、より多くのテストが必要になります。理論的にはすべてのトランジスタがテストされるので、必要なテストの数とテストの時間はトランジスタの数に依存することになるのです。つまり、テストするデバイスの数×デバイスごとのトランジスタの数という方程式を常に念頭に置いておく必要があるのです。これが、テストに要する時間の非常に良い近似値です。

そして、こんなことも見えてきました。ここ数年、個々のデバイスのテスト時間は、ここ 10 年でおそらく 100 倍程度と大幅に増加しました。また、テストへの挿入回数も増えており、デバイスの生産の初期段階で何度もテストにかけることになることも分かっています。これまでは圧縮してデータを減らすことで対応してきましたが、今後はそれが難しくなるため、さらにテスト時間が長くなることが予想されます。もちろん、顧客との密接な協力のもと、テスト時間を短縮し、常に顧客にとって商業的に可能なソリューションとなるように努めていますが、データ圧縮という点では、今後大きな進捗は期待できないでしょう。この進捗は、必要なテスト回数によってもたらされると考えています。もちろん、これは新しい故障メカニズムや 3D インテグレーションによっても引き起こされます。また、新しい方法論も出てくる必要がありますが、それについても少しお話しします。全体として、先ほどお見せしたものと、このトランジスタのモデルで、今から 2030 年までの半導体の増加により ATE も同じように成長すると考えるのが妥当でしょう。このように、最初のスライドで示したように、半導体市場の成長に合わせて、テストも成長すると考えています。

P16 Future Test Needs & Solutions

そこで、ATE がどのような課題を持ち、どのようなソリューションを導入し、今後どのような展開を想定しているのかを見ていきましょう。

P17 100x Complexity – Moore’s Law + 3D Integration

複雑さには 2 つの側面があり、トランジスタの種類やテストの難しさ、そして量の多さなどがあります。これはつまり、ムーアの法則の話です。ムーアの法則は、デバイスの積層化とともに、チップレットの話をしてきましたが、ここにあるのは 3 次元積層デバイスの絵で、顧客が 3 次元に進出することで、テストすべきデータ量が 100 倍になる要素となります。これは容易に予想できることで、さらに増える可能性もあります。そのため、テストもお客様が使っている技術を使う必要があります。V93000 では、テストを高価にすることなく、同じように機能を拡張するために、同じような方法でインテグレーションする道を選択しました。

この写真は、テストのすべてのリソースに搭載されているエンジン、テスト・プロセッサの写真です。このテスト・プロセッサをシステム内に何千個も搭載しています。このシステムは非常にコンパクトで、業界で最も小さなフットプリントだと思います。これは、我々が顧客と同じインテグレーションを使用しているからこそ可能なのです。例えば、メモリを搭載した 2.5D 統合マルチコアプロセッサがあります。このデバイスは、我々独自の研究開発によって開発されたもので、V93000 の成長と能力を支えるコアエンジンの一つです。これが最新世代の EXA Scale です。このように、システムのすべてのチャンネルで 5Gbps を実現したのは、我々が最初で唯一の企業であり、業界で最も高速なシステムです。現在開発中のデバイスをテストする上での複雑さすべてに求められる最大容量のベクターメモリも備えています。

P18 Power and Thermal beyond 1000W

消費電力の話をしてきましたが、スーパーコンピューターのデバイスは、たとえ消費電力が少なくなるように設計されていても、その複雑さゆえに電力要件を高めていることは容易に想像できます。ここでは、それらのデバイスが消費する何千ワット、何千アンペアという電流の話をしていきます。静的な電流消費量だけが課題なのではなく、動的な電力変動に対応することが必要です。どのようなテストを行うか、デバイスの動作中にどのような負荷変動があるかによって、電力は大きく変化します。この電力が非常に厳格にコントロールできるかがチャレンジです。電力が変化したときにデバイスの電圧が変化してしまうと、そのデバイスを本当に正しくテストしたのかどうかわからなくなってしまいますので、テスト時には、電力を大きく変化させながら電圧を安定させることが大きな課題の一つであり求められることでもあります。

そこで我々は、これまでテストに使われたことのない技術を採用しました。XPS256 は、カード 1 枚あたり 256A という業界最高レベルの電源集積度を誇り、システム内で 2000A をはるかに超える電流を供給することが可能で、多くのチャンネルを組み合わせることでデバイスに大電流と最大電力を供給することができます。それだけでなく、我々は初めてフルデジタル制御回路を採用しました。これは、我々がカードに適用しているコンピューティングとパフォーマンスのデジタル・アーキテクチャで、従来のアナログ制御回路で可能なよりも高速に電力を調整することを可能にしています。その結果、お客様のプローブカードを大電流による破壊から守ることができることや、色々なメリットがあります。これは、デバイス用電源のようなアナログカードにおいても、高い演算能力がなければできないことなのです。

P19 Time To Market Challenge

もう一つ、お客様が抱えている大きな課題は、テストカバレッジです。テストベクターが増えたと言いましたが、新しいトレンドも目に見えてきています。このコンピュータ・

エンジンの簡略した図にあるように、デバイスは今やソフトウェアに依存しています。初期の段階でも、テスト中でも、まだシステムに入っていないときでも同じです。そして、ウェハ上にあるときでさえ、よりシステムに近い動作を示すようになります。従来の ATE は、デジタル入力でテストし、デジタル出力を得て、テストと非常によく同期しています。これからは、テスト段階でソフトウェアをデバイスにロードしなければならない時代になると予測しており、複雑なシステムにアプローチする全く新しい方法になります。そのためには、テスト側にもイノベーションが必要です。

従来のテストアーキテクチャでは、ソフトウェアアルゴリズムのような予測不可能なものによってデバイスが駆動されるということに対処することはできません。従来のスキャン技術は、新しいソフトウェアベースの技術によって補強される必要があります。したがって、スキャンが置き換えられるということではなく、新しい方法論によって補強されるということです。

新しい方法論のひとつは、テスト上で被測定機器へのリンクカードを提供することです。最近、業界初のリンクスケールカードを導入しました。リンク・スケールと呼んでいるのは、デバイスとリンクし、例えば PC で使われている PCI エクスプレスや、携帯電話など多くのデバイスで有線相互接続として使われている USB のようなネイティブ・プロトコルやネイティブ・ポートでデバイスと相互作用できるようにするためです。この業界初のカードは、他の測定器と同様、当社のテストヘッド（非常に小さなフォームファクターのテストヘッド）に取り付けられ、実際にテスト上でファンクショナルテストを行い、例えば、まだウェハ上にあるデバイスの段階で、ファンクショナルテストのカバレッジを提供することができます。これにより、デバイスが高価なパッケージに入る前に不具合を発見することができます。もしすでにパッケージングされている段階でこうしたエラーを発見した場合、多くのコストがかかってしまうため、テスト項目をプローブやウェハソートに移行させました。また、設計の初期段階において、このカードを使用する顧客は、当社が長年行ってきたような通常のテストアクセスよりも、はるかに優れた方法でデバイスと接触することができます。繰り返しますが、これは現在のテスト手法に取って代わるものではありませんが、それらの手法を補完し、追加するものです。

P20 Summary

私のプレゼンテーションをまとめたいと思います。我々は、市場が大きな可能性を秘めていることを実感しています。この絵は半導体市場を示していますが、ATE、テスト市場もこの成長に追従することが明確に予見できるということをお話しました。テスト市場も同じような要因で伸びていくと考えています。アナリストが言うように、2030 年までに半導体市場は約 1 兆ドルになると予想されており、先ほど申し上げたように、ATE も同じ期間に同じ割合で成長すると見えています。この多くは、デジタルインテグレーションによってもたらされるでしょう。もちろん、他の重要な分野もありますが、大きな成長は、コン

ピューティング・エンジン、つまり、デバイスへのデジタル構造の統合によってもたらされ、それがテストの複雑性を促進するのです。

先ほど、チャレンジと機会について少しお話しましたが、この 100 倍の複雑性の成長も大きな原動力の 1 つです。もちろん、テストされるデバイスの量もそうですが、複雑さが大きく、それに対応するために、よりスマートな方法を提供する必要があります。また、市場の性質も変化しています。例えば、データセンターを運営する大手システム・プレーヤーは、システム設計者、さらにはチップ設計者になりつつあります。我々は従来のプレーヤーとは異なる彼らの要求に応えなければなりません。そのため、ターンキーテストの話になりますが、テストサプライヤーとしては、そのような顧客とのビジネスのやり方を変えていくことが求められます。もちろん彼らにとっても、TTM (Time To Market) はますます大きな課題になっています。なぜなら、先ほど示した通り競争が激化しているからです。そのためには、市場が進化するのと同じように、我々のシステムも進化させるしかないと考えています。

そして V93000 は長い間それを行ってきました。我々はこの業界のリーダーたちと一緒に、またそのリーダーたちのために、常に同様の方法で開発していることがわかりただけだと思います。我々はシリコンの集積化を信じています。つまり、ムーアの法則に基づく集積化や 3 次元、2.5 次元のパッケージの集積化が進めば進むほど、お客様のコストに見合ったイノベーションを提供することができるのです。我々は、この分野でのマーケットリーダーとして、このことを証明してきました。現在、我々は大きなマーケットシェアを獲得しており、これを継続できる良い兆しが見えています。EXA Scale は、基本的に次世代へのステップとなります。また、EXA Scale は、エクサスケール・コンピューティングの時代にも関連しており、EXA Scale が成長の原動力であると同時に、我々の技術で取り組む多くのチャレンジの原動力にもなっています。

以上、ご清聴ありがとうございました。この後、質疑応答を受け付けます。ありがとうございました。